

SEMICONDUCTOR STORAGE DEVICE

Patent Number: JP11185493
Publication date: 1999-07-09
Inventor(s): KOBAYASHI TOMOHIRO
Applicant(s): TOSHIBA CORP
Requested Patent: ☐ JP11185493
Application Number: JP19970349194 19971218
Priority Number(s):
IPC Classification: G11C29/00; H01L21/82; H01L27/10; H01L27/10
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To reduce a delay by a data bus thereby enabling high-speed accessing and improve recovery efficiency by dividing a spare cell part for each column I/O part and arranging near a data input and output circuit.

SOLUTION: A spare part is divided for each I/O part into I/O parts 0 to 8-SPR. The I/O parts 0 to 8-SPR are arranged dispersively among normal cell parts S1-S16 and connected via sense amplifiers 20 to global data lines 300-308 connected to input and output lines 400-408 respectively. When a memory cell of any one of sections S1-S16 of the normal cell parts fails, each I/O part is replaced with the I/O part of the spare cell part. A failing address and an external address are compared by a program fuse if the failing cell is accessed and, a spare memory cell is accessed in accordance with a detection signal generated in consequence of the comparison. At this time, the I/O parts of the spare cell part are arranged discursively in the vicinity of the input and output line 400, thus enabling high-speed reading.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-185493

(43) 公開日 平成11年(1999) 7月9日

(51) Int. Cl. ⁶	識別記号	F	
G11C 29/00	603	G11C 29/00	603 G
H01L 21/82	471	H01L 27/10	471
27/10	491	21/82	491 R

審査請求 未請求 請求項の数 4 O L (全 12 頁)

(21) 出願番号 特願平9-349194

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(22) 出願日 平成9年(1997)12月13日

(72) 発明者 小林 智 浩

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

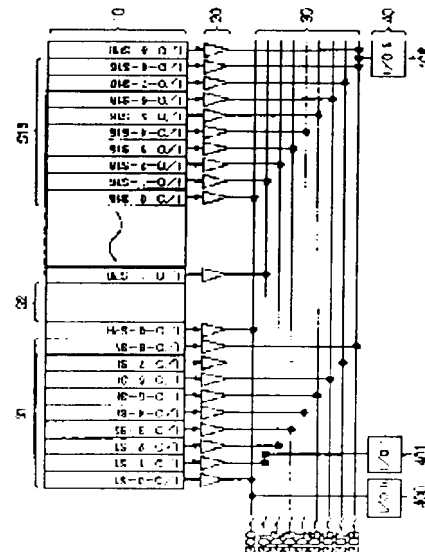
(74) 代理人 代理二 佐藤 一雄 (外3名)

(54) 【発明の名称】 半導体記憶装置

【要約】

【課題】 不良セルとの置き換えに使用されるスペアセルについてノーマルカラムセルとほぼ同等のアクセス速度の確保を可能とし、さらには救済効率を向上させることが可能なスペアカラムセルの配置及び配線を採用した半導体記憶装置を提供する。

【解決手段】 本発明に係る半導体記憶装置においては、スペアセル部のI/O部を1つのセクションに集合させて配設せず、各I/O部ごとに分割してそのI/O部が接続されるべきデータ入出力回路近傍に配設する。スペアセル部の各I/O部は、データ入出力回路に直接又は間接に接続する。また、複数のデータ入出力系にグローバル・データ線及びデータ入出力回路がそれぞれ備えられているものについて本発明を適用する場合、スペアセル部の各I/O部は、直接又は間接に全てのデータ入出力系のデータ入出力回路にそれぞれ接続する。



【特許請求の範囲】

【請求項1】データの読出し／書込みが行われる複数のノーマルメモリセル、及び、前記複数のノーマルメモリセルについて選択的なデータの入出力を行う選択的なデータ入出力回路からなる複数のノーマルデータ入出力部と

と、
前記複数のノーマルデータ入出力部に対し所定の対応関係をもって接続された複数のデータ線と、
前記データ線ごとに設置され、記憶装置外部とのデータの入出力を行う複数のデータ入出力回路と、
前記複数のノーマルメモリセルのいずれかに不良が発生した場合に置き換えを行うための複数のスペアメモリセル、及び、前記複数のスペアメモリセルについて選択的なデータの入出力を行う選択的なデータ入出力回路からなる一単位ごとに、所定の対応関係を有する前記データ入出力回路近傍に設置され、かつ、当該データ入出力回路が接続された前記データ線に接続された複数のスペアデータ入出力部と、を備えたことを特徴とする半導体記憶装置。

【請求項2】データの読出し／書込みが行われる複数のノーマルメモリセル、及び、前記複数のノーマルメモリセルについて選択的なデータの入出力を行う選択的なデータ入出力回路からなる複数のノーマルデータ入出力部と、

前記複数のノーマルデータ入出力部に対し所定の対応関係をもって接続された複数のデータ線と、
前記データ線ごとに設置され、記憶装置外部とのデータの入出力を行う複数のデータ入出力回路と、
前記複数のノーマルメモリセルのいずれかに不良が発生した場合に置き換えを行うための複数のスペアメモリセル、及び、前記複数のスペアメモリセルについて選択的なデータの入出力を行う選択的なデータ入出力回路からなる一単位ごとに、所定の対応関係を有する前記データ入出力回路近傍に設置され、かつ、当該データ入出力回路に直接接続された複数のスペアデータ入出力部と、を備えたことを特徴とする半導体記憶装置。

【請求項3】請求項1又は2のいずれかに記載の半導体記憶装置において

前記半導体記憶装置は、複数のデータ入出力系を有し、かつ、前記複数のデータ線及び前記複数のデータ入出力回路は、前記複数のデータ入出力系にそれぞれ備えられていることを特徴とする半導体記憶装置。

【請求項4】請求項3に記載の半導体記憶装置において、

前記複数のスペアデータ入出力部は、前記複数のデータ入出力系の総てにそれぞれ接続されていることを特徴とする半導体記憶装置。

り、特に、不良セルとの置き換えに使用されるスペアカラムセルについてノーマルカラムセルとほぼ同等のアクセス速度の確保を可能とし、さらには救済効率を向上させることが可能なフペアカラムセルの配置及び配線を採用した半導体記憶装置に関する。

【0002】

【従来の技術】半導体記憶装置はX方向及びY方向のマトリクス状に配置されたメモリセルを備え、メモリセルへのアクセスは外部アドレスをデコードしたアドレス信号により行われ、これにより読み出されたセルのデータをセンスアンプを介して出力するものである。また、半導体記憶装置には、通常、セルアレイ中のノーマルセルに不良セルが存在した場合に、その不良セルと置き換えて半導体記憶装置を救済するためのスペアセルが予め組み込まれている。スペアセルにはロウスペアセルとカラムスペアセルとがある。

【0003】ロウスペアセルの置き換えは、不良となったノーマルセルへのアクセスを行うロウデコーダの出力をアイソレーションヒューズによりディセーブルにするとともにロウスペアセルへのアクセスに切り替えることにより行われる。

【0004】一方、カラムスペアセルの置き換えは、通常、アクセスの高速性能を維持するために、同時読出しを行うビット、即ち、複数のメモリセル及びマルチプレクサからなるI/O部ごとにまとめて置き換えるスペアセクション方式により行われる。また、配線等の構成によっては、I/O部内のメモリセルを複数のグループに分割してそのグループごとに置き換えを行ったり、1個のメモリセルごとに置き換えを行う場合もある。

【0005】ところで、カラムセル部において、不良セルとスペアカラムセルとの置き換えが行われた場合に、その不良セルへのアクセスが行われたことを検出するビット信号は、プログラムヒューズによりプログラムされた不良アドレスと外部から入力される外部アドレスとを比較した結果生成される信号である。従って、このビット信号をメモリセルアレイが受けてからスペアカラムセルのアクセスを行うこととなり、ノーマルセルへのアクセスよりもアクセス速度が遅くなるので、スペアカラムセルの配置、配線、置き換え方等がアクセス速度に与える影響も、ロウセル部に比較して大きい。

【0006】そこで、Y方向即ちカラム方向における半導体記憶装置の構成、特に、カラムセル部のカラムスペアセルの配置、配線、不良セルとの置き換え方に着目して説明する。

【0007】図4は、従来の第1の構成に係る半導体記憶装置のカラムセル部及びその読出し回路のブロック図である。この半導体記憶装置のカラムセル部及びその読出し回路は最も基本的な構成のものであり、カラムI/O部10と、センスアンプ20と、グローバル・データ線30と、データ入出力回路40とから構成されている。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体記憶装置に係

る。それらの具体的な構成は、以下の通りである。

【0008】カラムI/O部10は、ノーマルセル部とスペアセル部とから構成されている。ノーマルセル部はセクションS1～S16からなり、各セクションは9個のI/O部0～8-S1～S16により構成されている。スペアセル部は1個のセクションSPRからなり、セクションSPRも同様に9個のI/O部0～8-SPRにより構成されている。各I/O部は、複数のメモリセルと、アドレスデコーダからのアドレス信号に応じていずれかのメモリセルのデータ読出しを行うマルチプレクサとから構成されている。

【0009】各I/O部は、データ信号の増幅を行うセンスアンプ20を介してグローバル・データ線30にそれぞれ接続されている。具体的には、各セクションのI/O部0はグローバル・データ線300に、I/O部1はグローバル・データ線301に、以下同様に、I/O部8はグローバル・データ線308に、それぞれ対応して接続されている。ここで、グローバル・データ線とは、チップ全体を横断するようなデータ線をいう。これに対するローカル・データ線とは、グローバル・データ線と各センスアンプとを接続する配線等、チップ上の部分的なデータ線をいう。

【0010】グローバル・データ線30は、各I/O部に対応して設けられたデータ入出力回路40に接続されている。即ち、各グローバル・データ線300～308は、それぞれデータ入出力回路400～408に接続されている。各データ入出力回路40は、グローバル・データ線30からのデータ信号の外部出力のための増幅を行うセンスアンプと、データ信号を順次出力するデータ・バッファとから構成されている。

【0011】従来の第1の構成に係る半導体記憶装置のカラムセル部のデータ読出しの際の動作は、以下の通りである。アドレス信号が入力されると、選択されたセクションのI/O部10のメモリセルからマルチプレクサによりデータが読み出され、そのデータはI/O部10に設けられたセンスアンプ20により増幅されてから、そのセンスアンプ20が接続されたグローバル・データ線30に出力される。グローバル・データ線30に出力された読出しデータは、さらにデータ入出力回路40を介して、装置外部へ出力されることとなる。

【0012】また、ノーマルセル部の各セクションS1～S16のいずれかのメモリセルに不良が発生した場合には、I/O部10とスペアセル部のI/O部との置き換えを行う。そして、置き換えられた不良セルへのアクセスが行われた場合には、プログラムヒューズによりプログラムされた不良アドレスと外部から入力される外部アドレスとを比較した結果生成される検出信号(ヒット信号)に応じてスペアメモリセルのアクセスを行う。

【0013】また、近年、DDR (Double Data Rate) 動作機能を有する同期メモリの開発が進んでいる。こ

というDDR動作とは、クロックのアップエッジ及びダウンエッジの両方に同期させてそれぞれデータの読出し/書込みを行うことを意味している。

【0014】セルデータの読出し及び書込みを高速化する場合、メモリコア近傍における動作については特に高速化を図らず、データ入出力回路近傍でデータをマルチプレクス(多重化)して動作速度を倍にすることが考えられる。このようなアクセスの高速化の手段の1つとして、クロックのアップエッジで2ビットのセルデータの読出し/書込みを行うDDR動作可能な構成を採用する方法がある。即ち、メモリコアにおいてはクロックのアップエッジで同時に2ビットのデータを読み出し、入出力部においてはクロックのアップエッジ及びダウンエッジで1ビットずつその2ビットのデータの読出し/書込みを行う。

【0015】図5は、従来の第2の構成に係る半導体記憶装置のカラムセル部及びその読出し回路のブロック図である。この半導体記憶装置のカラムセル部及びその読出し回路は、カラムI/O部10と、第1系及び第2系のセンスアンプ20と、第1系のグローバル・データ線30と、第1系のデータ入出力回路40と、第2系のグローバル・データ線31と、第2系のデータ入出力回路41とから構成されている。即ち、DDR動作可能な構成を採用する場合、センスアンプ、グローバル・データ線、データ入出力回路をそれぞれ通常の2倍の数だけ設けておく必要がある。それらの具体的な構成は、以下の通りである。

【0016】カラムI/O部10は、ノーマルセル部とスペアセル部とから構成されている。ノーマルセル部はセクションS1～S16からなり、各セクションは9個のI/O部0～8-S1～S16により構成されている。スペアセル部は1個のセクションSPRからなり、セクションSPRも同様に9個のI/O部0～8-SPRにより構成されている。各I/O部は、複数のメモリセルと、アドレスデコーダからのアドレス信号に応じていずれかのメモリセルのデータ読出しを行うマルチプレクサとから構成されている。各I/O部は、データ信号の増幅を行う第1系及び第2系のセンスアンプ20にそれぞれ接続されている。

【0017】第1系の各センスアンプ20は第1系のグローバル・データ線30にそれぞれ接続され、第2系の各センスアンプ20は第2系のグローバル・データ線31にそれぞれ接続されている。具体的には、各セクションのI/O部0の第1系、第2系のセンスアンプ20は第1系、第2系のグローバル・データ線300、310に、I/O部1の第1系、第2系のセンスアンプ20は第1系、第2系のグローバル・データ線301、311に、以下同様に、I/O部8の第1系、第2系のセンスアンプ20は第1系、第2系のグローバル・データ線308及び318に、それぞれ対応して接続されている。

【0018】第1系、第2系のグローバル・データ線30、31は、各I/O部に対応して設けられた第1系第2系のデータ入出力回路40、41にそれぞれ接続されている。即ち、各グローバル・データ線300～308、310～318は、それぞれデータ入出力回路400～408、410～418に接続されている。各データ入出力回路40、41は、グローバル・データ線30、31からのデータ信号の外部出力のための増幅を行うセンスアンプと、データ信号を順次出力するデータ・バッファとから構成されている。

【0019】従来の第2の構成に係る半導体記憶装置のカラムセル部のデータ読出しの際の動作においては、クロックのアップエッジに同期させて2つのセルデータの読出しを行う。バーストアドレスの連続する2つのアドレス信号により2つのメモリセルが同時に選択され、選択されたセクションのI/O部10のメモリセルのそれぞれからマルチプレクサによりデータが読み出され、同時に読み出された2つのデータは、相互に独立した第1系、第2系のセンスアンプ20により増幅されてから、そのセンスアンプ20が接続された第1系、第2系のグローバル・データ線30、31に出力される。第1系、第2系のグローバル・データ線30、31に出力された2つの読出しデータは、さらに第1系、第2系のデータ入出力回路40、41を介して、装置外部へ出力されることとなる。選択されたメモリセルのデータが第1系又は第2系のいずれの系に読み出されるかは、そのメモリセルのアドレスによって予め決定されている。

【0020】ノーマルセル部の各セクションS1～S16のいずれかのメモリセルに不良が発生した場合には、I/O部内のメモリセルを複数のグループに分割してそのグループごとに置き換えを行うか、又は、1個のメモリセルごとに置き換えを行う。ここでは、I/O部内のメモリセルを第1系のセンスアンプに接続されているグループと、第2系のセンスアンプに接続されているグループとに分割して、このグループごとに置き換えを行う。そして、置き換えられた不良セルへのアクセスが行われた場合には、プログラムヒューズによりプログラムされた不良アドレスと外部から入力される外部アドレスとを比較した結果生成される検出信号（ヒット信号）に応じてスペアメモリセルのアクセスを行う。

【0021】

【発明が解決しようとする課題】しかしながら、上述した従来の各構成に係る半導体記憶装置のカラムセル部及びその読出し回路においては、それぞれ以下のような問題点があった。

【0022】従来の第1の構成に係る半導体記憶装置のカラムセル部及びその読出し回路においては、図4から分かるように、各I/O部はセクションごとに集合して設けられているのに対し、各データ入出力回路40はグローバル・データ線30に沿ってチップ全体に分散して

設けられている。例えば、データ入出力回路400はセクションS1の近傍に設けられているが、データ入出力回路408はセクションS16の近傍に設けられ、セクションS1からは離隔している。従って、いずれのセクションにおいても選択されるI/O部によって、データ入出力回路40に近く高速に読み出すことができるI/O部と、データ入出力回路40から離隔して長いデータバスを介するために読出しに遅延が生ずるI/O部とが混在することになる。ノーマルセル部に関しては、構成を変更することは事実上困難であるため、読出しに最も遅延が生ずるI/O部であっても所定の性能を確保できるように、全体的な設計を行うことで対応するほかない。

【0023】一方、スペアセル部においても、高速に読み出すことができるI/O部と、読出しに遅延が生ずるI/O部とが混在することは同様である。ところが、不良セルとスペアカラムセルとの置き換えが行われた場合には、その不良セルへのアクセスが行われたことを検出するヒット信号は、上述のように、プログラムヒューズによりプログラムされた不良アドレスと外部から入力される外部アドレスとを比較した結果生成される信号である。従って、このヒット信号をメモリセルアレイが受けてからスペアカラムセルのアクセスを行ったのでは、ノーマルセルへのアクセスよりもアクセス速度が遅くなり、しかも、そのスペアカラムセルがデータ入出力回路40から離隔した位置のものである場合には、アクセス速度に大きな遅延を生ずることとなる。

【0024】従来の第2の構成に係る半導体記憶装置のカラムセル部及びその読出し回路においても、上記従来の第1の構成と同様の問題点があり、さらに、DDR動作機能を備えた構成による固有の問題点がある。即ち、DDR動作可能な構成を採用する場合、センスアンプ・グローバル・データ線・データ入出力回路はそれぞれ2つの系が備えられているが、不良セルは、いずれの系に接続されたメモリセルに発生するか分からず、位置的にはランダムに発生すると考えられる。従って、スペアセル部の各I/O部に備えられた救済用のスペアカラムセルも第1系と第2系とのそれぞれに接続されたものを均等に配設しておくのがよい。しかし、不良セルの発生する位置はランダムであることから、不良セルは第1系又は第2系に偏って発生する可能性があり得る。その場合には、不良が発生しなかった系に接続されているスペアカラムセルが使用されず無駄となってしまう、集積回路の面積効率を低下させることとなる。さらに、一方の系に多数の不良セルが発生した場合には、他方の系に接続されているスペアカラムセルが未使用であるにもかかわらず、不良を救済しきれずに歩留まりの低下を招くこともある。

【0025】このような不都合を回避するため、各スペアカラムセルが第1系、第2系の両方の不良セルの置き

換えに対応できるようにするための1つの構成として、セルの置き換えを行うための2つの系のグローバル・データ線をさらに設ける構成がある。

【0026】図6は、従来の第3の構成に係る半導体記憶装置のカラムセル部及びその読出し回路のブロック図である。この半導体記憶装置のカラムセル部及びその読出し回路は、カラムI/O部10と、第1系及び第2系のセンスアンプ20と、第1系のグローバル・データ線30と、第1系のデータ入出力回路40と、第2系のグローバル・データ線31と、第2系のデータ入出力回路41と、第3系のグローバル・データ線32と、第4系のグローバル・データ線33とから構成されている。即ち、DDR動作を可能とするために、センスアンプ、グローバル・データ線、データ入出力回路をそれぞれ2つの系に設けておき、さらに、スペアカラムセルの置き換えを第1系及び第2系のいずれの系にも対応させて行うことができるようにするために、スペアセル部と第1系、第2系のデータ入出力回路40、41とをそれぞれ接続するための第3系、第4系のグローバル・データ線32、33を設けたものである。それらの具体的な構成は、以下の通りである。

【0027】カラムI/O部10は、ノーマルセル部とスペアセル部とから構成されている。ノーマルセル部はセクションS1～S16からなり、各セクションは9個のI/O部0～8～S1～16により構成されている。スペアセル部は1個のセクションSPRからなり、セクションSPRも同様に9個のI/O部0～8～SPRにより構成されている。各I/O部は、複数のメモリセルと、アドレスデコーダからのアドレス信号に応じていずれかのメモリセルのデータ読出しを行うマルチプレクサとから構成されている。各I/O部は、データ信号の増幅を行う第1系及び第2系のセンスアンプ20にそれぞれ接続されている。

【0028】ノーマルセル部の第1系の各センスアンプ20は第1系のグローバル・データ線30にそれぞれ接続され、第2系の各センスアンプ20は第2系のグローバル・データ線31にそれぞれ接続されている。具体的には、ノーマルセル部の各セクションのI/O部0の第1系、第2系のセンスアンプ20は第1系、第2系のグローバル・データ線300、310に、I/O部1の第1系、第2系のセンスアンプ20は第1系、第2系のグローバル・データ線301、311に、以下同様に、I/O部8の第1系、第2系のセンスアンプ20は第1系、第2系のグローバル・データ線308及び318に、それぞれ対応して接続されている。

【0029】一方、スペアセル部の第1系の各センスアンプ20は第3系及び第4系のグローバル・データ線32及び33の双方にそれぞれ接続され、第2系の各センスアンプ20も第3系及び第4系のグローバル・データ線32及び33の双方にそれぞれ接続されている。各I

/O部の各センスアンプ20と第3系及び第4系のグローバル・データ線32及び33の各グローバル・データ線との具体的な対応関係は、ノーマルセル部の場合と同様である。

【0030】第1系、第2系のグローバル・データ線30、31は、各I/O部に対応して設けられた第1系、第2系のデータ入出力回路40、41にそれぞれ接続されている。即ち、各グローバル・データ線300～308、310～318は、それぞれデータ入出力回路400～408、410～418に接続されている。各データ入出力回路40、41は、グローバル・データ線30、31からのデータ信号の外部出力のための増幅を行うセンスアンプと、データ信号を順次出力するデータ・バッファとから構成されている。

【0031】一方、第3系のグローバル・データ線32は、第1系及び第2系のデータ入出力回路40及び41の双方にそれぞれ接続されており、第4系のグローバル・データ線33も、第1系及び第2系のデータ入出力回路40及び41の双方にそれぞれ接続されている。

【0032】従来の第3の構成に係る半導体記憶装置のカラムセル部のデータ読出しの際の動作は、従来の第2の構成と同様であり、クロックのアップエッジに同期させて2つのセルデータの読出しを行う。バーストアドレスの連続する2つのアドレス信号により2つのメモリセルが同時に選択され、選択されたセクションのI/O部10のメモリセルのそれぞれからマルチプレクサによりデータが読み出され、同時に読み出された2つのデータは、相互に独立した第1系、第2系のセンスアンプ20、21により増幅されてから、そのセンスアンプ20が接続された第1系、第2系のグローバル・データ線30、31に出力される。第1系、第2系のグローバル・データ線30、31に出力された2つの読出しデータは、さらに第1系、第2系のデータ入出力回路40、41を介して、装置外部へ出力されることとなる。選択されたメモリセルのデータが第1系又は第2系のいずれの系に読み出されるかは、そのメモリセルのアドレスによって予め決定されている。

【0033】ノーマルセル部の各セクションS1～S16のいずれかのメモリセルに不良が発生した場合には、I/O部内のメモリセルを複数のグループに分割してそのグループごとに置き換えを行うか、又は、1個のメモリセルごとに置き換えを行う。ここでは、従来の第2の構成と同様に、I/O部内のメモリセルを各センスアンプ20に接続されているグループごとに分割して、このグループごとに置き換えを行う。この従来の第3の構成においては、各センスアンプ20は、上述のように、第3系、第4系のグローバル・データ線32、33を介して第1系及び第2系のデータ入出力回路40及び41の双方にそれぞれ接続されているので、ノーマルセル部の各セクションS1～S16に発生した不良セルが第1系

又は第2系のいずれに接続されているものであっても、未使用のスペアカラムセルのグループがある場合には不良セルとスペアカラムセルとの置き換えを行うことができる。

【0034】そして、置き換えられた不良セルへのアクセスが行われた場合には、プログラムヒューズによりプログラムされた不良アドレスと外部から入力される外部アドレスとを比較した結果生成される検出信号（ヒット信号）に応じてスペアメモリセルのアクセスを行う。

【0035】しかしながら、この従来の第3の構成は、配線が非常に複雑で、レイアウト上非効率的である。また、セル置き換えのための第3系、第4系のグローバル・データ線32、33を介してアクセスを行う場合、ローカル・センスアンプ20から見た負荷が非常に重くなり、アクセス速度も遅くなるという問題がある。

【0036】本発明は上記問題点を鑑みてなされたものであり、その目的は、不良セルとの置き換えに使用されるスペアカラムセルについてノーマルカラムセルとほぼ同等のアクセス速度の確保を可能とし、さらには故障効率を向上させることが可能なスペアカラムセルの配置及び配線を採用した半導体記憶装置を提供することである。

【0037】

【課題を解決するための手段】本発明に係る半導体記憶装置においては、スペアセル部のI/O部を1つのセクションに集合させて配設せず、各I/O部ごとに分割してそのI/O部毎に接続されるべきデータ入出力回路近傍に配設する。これにより、接続されているデータ入出力回路から離隔して長いデータバスを介するためにアクセスに遅延が生ずるI/O部が排除され、いずれのI/O部もデータ入出力回路に近く、高速にアクセスを行うことができるようになる。

【0038】スペアセル部の各I/O部は、ノーマルセル部の各I/O部と同様にグローバル・データ線を介してデータ入出力回路に接続してもよい。データ入出力回路近傍に配設されているので、データ入出力回路に直接接続することもできる。この場合、スペアセル部の各I/O部のアクセス速度をさらに高速化することができる。

【0039】また、本発明に係る半導体記憶装置の上記構成は、DDR動作のために複数のデータ入出力系を有し、かつ、グローバル・データ線及びデータ入出力回路が、各データ入出力系にそれぞれ備えられているものについても適用することができる。この場合、スペアセル部の各I/O部は、直接又は間接に総てのデータ入出力系のデータ入出力回路にそれぞれ接続されているものとすると、ノーマルセル部に発生した不良セルが、いずれのデータ入出力系に接続されているものであっても、未使用のスペアカラムセルがある場合には、不良セルとスペアカラムセルとの置き換えを行うことができ、故障効率

を向上させることができる。

【0040】

【発明の実施の形態】以下、本発明に係る半導体記憶装置の実施の形態について、図面を参照しながら説明する。

【0041】図1は、本発明の第1の実施の形態に係る半導体記憶装置のカラムセル部及びその読出し回路のブロック図である。本発明の第1の実施の形態に係る半導体記憶装置のカラムセル部及びその読出し回路は、カラムI/O部10と、センスアンプ20と、グローバル・データ線30と、データ入出力回路40とから構成されているが、主としてカラムI/O部10の構成が従来と異なっている。それらの具体的な構成は、以下の通りである。

【0042】カラムI/O部10は、ノーマルセル部とスペアセル部とから構成されている。ノーマルセル部はセクションS1～S16からなり、各セクションは9個のI/O部0～8-S1～S16により構成されている。これに対し、スペアセル部は1個のセクションを構成せずにI/O部ごとに分割され、各I/O部0～8-SFRは、それぞれが接続されるデータ入出力回路40の近傍に分散して配設されている。ここでは、I/O部0-SFRはノーマルセル部のセクションS1とセクションS2との間に配設され、I/O部1-SFRはセクションS2とセクションS3との間に配設され、以下同様に適当な箇所に分散して配設されており、I/O部8-SFRはセクションS16の末尾側に配設されている。各I/O部は、複数のメモリセルと、アドレスデコーダからのアドレス信号に応じていずれかのメモリセルのデータ読出しを行うマルチプレクサとから構成されている。

【0043】各I/O部は、データ信号の増幅を行うセンスアンプ20を介してグローバル・データ線30にそれぞれ接続されている。具体的には、ノーマルセル部の各セクション及びスペアセル部のI/O部0はグローバル・データ線30に、I/O部1はグローバル・データ線30に、以下同様に、I/O部8はグローバル・データ線30に、それぞれ対応して接続されている。ここで、グローバル・データ線とは、チップ全体を横断するようなデータ線をいう。これに対するローカル・データ線とは、グローバル・データ線と各センスアンプとを接続する配線等、チップ上の部分的なデータ線をいう。これらの定義は、従来と同様である。

【0044】グローバル・データ線30は、各I/O部に対応して設けられたデータ入出力回路40に接続されている。即ち、各グローバル・データ線300～308は、それぞれデータ入出力回路400～408に接続されている。各データ入出力回路40は、グローバル・データ線30からのデータ信号の外部出力のための増幅を行うセンスアンプと、データ信号を順次出力するデータ・バッファとから構成されている。

【0045】本発明の第1の実施の形態に係る半導体記憶装置のカラムセル部のデータ読出しの際の動作は、基本的に従来と同様であり、以下の通りである。アドレス信号が入力されると、選択されたセクションのI/O部10のメモリセルからマルチプレクサによりデータが読み出され、そのデータはI/O部ごとに設けられたセンスアンプ20により増幅されてから、そのセンスアンプ20が接続されたグローバル・データ線30に出力される。グローバル・データ線30に出力された読出しデータは、さらにデータ入出力回路40を介して、装置外部へ出力されることとなる。

【0046】また、ノーマルセル部の各セクションS1～S16のいずれかのメモリセルに不良が発生した場合には、I/O部ごとにスペアセル部のI/O部との置き換えを行う。あるいは、I/O部内のメモリセルを複数のグループに分割してそのグループごとに置き換えを行うか、又は、1個のメモリセルごとに置き換えを行うこととしてもよい。そして、置き換えられた不良セルへのアクセスが行われた場合には、プログラムヒューズによりプログラムされた不良アドレスと外部から入力される外部アドレスとを比較した結果生成される検出信号（ヒット信号）に応じてスペアメモリセルのアクセスを行う。

【0047】このとき、本発明の第1の実施の形態に係る半導体記憶装置のカラムセル部の構成においては、上述のように、スペアセル部の各I/O部0～8-SPRは、それぞれが接続されるデータ入出力回路40の近傍に分散して配設されているので、接続されているデータ入出力回路40から距離隔てて長いデータバスを介するためには読出しに遅延が生ずるI/O部が存在せず、いずれのI/O部もデータ入出力回路40に近く、高速に読出しを行うことができる。従って、スペアセル部の各I/O部0～8-SPRへのアクセス速度を、ノーマルセル部の各I/O部のアクセス速度に近づけることができ、スペアセル部の各I/O部0～8-SPRへのアクセスが、ノーマルセル部の各I/O部のアクセスと比較して特に遅延するということがなくなる。

【0048】図2は、本発明の第2の実施の形態に係る半導体記憶装置のカラムセル部及びその読出し回路のブロック図である。本発明の第2の実施の形態に係る半導体記憶装置のカラムセル部及びその読出し回路は、カラムI/O部10と、センスアンプ20と、グローバル・データ線30と、データ入出力回路40とから構成されており、カラムI/O部10の構成は第1の実施の形態と同様であるが、スペアセル部のI/O部がデータ入出力回路40に直接接続されている点が異なっている。それらの具体的な構成は、以下の通りである。

【0049】カラムI/O部10は、ノーマルセル部とスペアセル部とから構成されている。ノーマルセル部はセクションS1～S16からなり、各セクションは9個

のI/O部0～8-S1～S16により構成されている。これに対し、スペアセル部は1個のセクションを構成せずにI/O部ごとに分割され、各I/O部0～8-SPRは、それぞれが接続されるデータ入出力回路40の近傍に分散して配設されている。ここでは、I/O部0-SPRはノーマルセル部のセクションS1とセクションS2との間に配設され、I/O部1-SPRはセクションS2とセクションS3との間に配設され、以下同様に適当な箇所に分散して配設されており、I/O部8-SPRはセクションS16の末尾側に配設されている。各I/O部は、複数のメモリセルと、アドレスデコーダからのアドレス信号に応じていずれかのメモリセルのデータ読出しを行うマルチプレクサとから構成されている。

【0050】ノーマルセル部の各I/O部は、データ信号の増幅を行うセンスアンプ20を介してグローバル・データ線30にそれぞれ接続されている。具体的には各セクションのI/O部0はグローバル・データ線30に、I/O部1はグローバル・データ線301に、以下同様に、I/O部8はグローバル・データ線308に、それぞれ対応して接続されている。

【0051】グローバル・データ線30は、各I/O部に対応して設けられたデータ入出力回路40に接続されている。即ち、各グローバル・データ線300～308は、それぞれデータ入出力回路400～408に接続されている。各データ入出力回路40は、グローバル・データ線30からのデータ信号の外部出力のための増幅を行うセンスアンプと、データ信号を順次出力するデータ・バッファとから構成されている。

【0052】一方、スペアセル部の各I/O部は、センスアンプ20を介してデータ入出力回路40に直接接続されている。即ち、I/O部0-SPRはデータ入出力回路400に直接接続され、I/O部1-SPRはデータ入出力回路401に直接接続され、以下同様に、I/O部8-SPRはデータ入出力回路408に直接接続されている。

【0053】本発明の第2の実施の形態に係る半導体記憶装置のカラムセル部のデータ読出しの際の動作も、基本的に従来と同様であり、以下の通りである。アドレス信号が入力されると、選択されたセクションのI/O部10のメモリセルからマルチプレクサによりデータが読み出され、そのデータはI/O部ごとに設けられたセンスアンプ20により増幅されてから、そのセンスアンプ20が接続されたグローバル・データ線30に出力される。グローバル・データ線30に出力された読出しデータは、さらにデータ入出力回路40を介して、装置外部へ出力されることとなる。

【0054】また、ノーマルセル部の各セクションS1～S16のいずれかのメモリセルに不良が発生した場合には、I/O部ごとにスペアセル部のI/O部との置き換えを行う。あるいは、I/O部内のメモリセルを複数

のグループに分割してそのグループごとに置き換えを行うか、又は、1個のメモリセルごとに置き換えを行うこととしてもよい。そして、置き換えられた不良セルへのアクセスが行われた場合には、プログラムヒューズによりプログラムされた不良アドレスと外部から入力される外部アドレスとを比較した結果生成される検出信号（ヒット信号）に応じてスペアメモリセルのアクセスを行う。

【0055】このとき、本発明の第2の実施の形態に係る半導体記憶装置のカラムセル部の構成においては、上述のように、スペアセル部の各I/O部0～8-SPRは、それぞれが接続されるデータ入出力回路40の近傍に分散して配設され、かつ、データ入出力回路40に直接接続されているので、負荷容量の大きいグローバル・データ線30を介したアクセスを必要とせず、いずれのI/O部も高速に読み出すことができる。従って、スペアセル部の各I/O部0～8-SPRへのアクセス速度を、ノーマルセル部の各I/O部へのアクセス速度により近づけることができ、スペアセル部の各I/O部0～8-SPRへのアクセスが、ノーマルセル部の各I/O部へのアクセスに比較して遅延するということがなくなる。

【0056】図3は、本発明の第3の実施の形態に係る半導体記憶装置のカラムセル部及びその読出し回路のブロック図である。本発明の第3の実施の形態に係る半導体記憶装置のカラムセル部及びその読出し回路は、カラムI/O部10と、第1系及び第2系のセンスアンプ20と、第1系のグローバル・データ線30と、第1系のデータ入出力回路40と、第2系のグローバル・データ線31と、第2系のデータ入出力回路41とから構成されている。即ち、DDR動作可能な構成とするために、センスアンプ、グローバル・データ線、データ入出力回路がそれぞれ2つの系に備えられている。それらの具体的な構成は、以下の通りである。

【0057】カラムI/O部10は、ノーマルセル部とスペアセル部とから構成されている。ノーマルセル部はセクションS1～S16からなり、各セクションは9個のI/O部0～8-S1～16により構成されている。これに対し、スペアセル部は1個のセクションを構成せずにI/O部ごとに分割され、各I/O部0～8-SPRは、それぞれが接続されるデータ入出力回路40の近傍に分散して配設されている。ここでは、I/O部0-SPRはノーマルセル部のセクションS1とセクションS2との間に配設され、I/O部1-SPRはセクションS2とセクションS3との間に配設され、以下同様に適当な箇所に分散して配設されており、I/O部8-SPRはセクションS16の末尾側に配設されている。各I/O部は、複数のメモリセルと、アドレスデコーダからのアドレス信号に応じていずれかのメモリセルのデータ読出しを行うマルチプレクサとから構成されている。

各I/O部は、データ信号の増幅を行う第1系及び第2系のセンスアンプ20にそれぞれ接続されている。

【0058】ノーマルセル部のI/O部に接続された第1系の各センスアンプ20は第1系のグローバル・データ線30にそれぞれ接続され、第2系の各センスアンプ20は第2系のグローバル・データ線31にそれぞれ接続されている。具体的には、ノーマルセル部の各セクションのI/O部の第1系、第2系のセンスアンプ20は第1系、第2系のグローバル・データ線300、310に、I/O部1の第1系、第2系のセンスアンプ20は第1系、第2系のグローバル・データ線301、311に、以下同様、I/O部8の第1系、第2系のセンスアンプ20は第1系、第2系のグローバル・データ線308及び318に、それぞれ対応して接続されている。

【0059】第1系、第2系のグローバル・データ線30、31は、各I/O部に対応して設けられた第1系、第2系のデータ入出力回路40、41にそれぞれ接続されている。即ち、各グローバル・データ線300～308、310～318は、それぞれデータ入出力回路400～408、410～418に接続されている。各データ入出力回路40、41は、グローバル・データ線30、31からのデータ信号の外部出力のための増幅を行うセンスアンプと、データ信号を順次出力するデータ・バッファとから構成されている。

【0060】一方、スペアセル部の各I/O部は、センスアンプ20を介して第1系及び第2系のデータ入出力回路40にそれぞれ直接接続されている。即ち、I/O部0-SPRはセンスアンプ20を介して第1系のデータ入出力回路400及び第2系のデータ入出力回路410に直接接続され、I/O部1-SPRはセンスアンプ20を介して第1系のデータ入出力回路401及び第2系のデータ入出力回路411に直接接続され、以下同様に、I/O部8-SPRはセンスアンプ20を介して第1系のデータ入出力回路408及び第2系のデータ入出力回路418に直接接続されている。

【0061】本発明の第3の実施の形態に係る半導体記憶装置のカラムセル部のデータ読出しの際の動作は、DDR動作によるもので基本的に従来の第2の構成と同様であり、クロックのアップエッジに同期させて2つのセルデータの読出しを行う。バーストアドレスの連続する2つのアドレス信号により2つのメモリセルが同時に選択され、選択されたセクションのI/O部10のメモリセルのそれぞれからマルチプレクサによりデータが読み出され、同時に読み出された2つのデータは、相互に独立した第1系、第2系のセンスアンプ20により増幅されてから、そのセンスアンプ20が接続された第1系、第2系のグローバル・データ線30、31に出力される。第1系、第2系のグローバル・データ線30、31に出力された2つの読出しデータは、さらに第1系、第

2系のデータ入出力回路40、41を介して、装置外部へ出力されることとなる。選択されたメモリセルのデータが第1系又は第2系のいずれの系に読み出されるかは、そのメモリセルのアドレスによって予め決定されている。

【0062】また、ノーマルセル部の各セクションS1～S16のいずれかのメモリセルに不良が発生した場合には、I/O部ごとにスペアセル部のI/O部との置き換えを行う。あるいは、I/O部内のメモリセルを複数のグループに分割してそのグループごとに置き換えを行うか、又は、1個のメモリセルごとに置き換えを行うこととしてもよい。例えば、I/O部内のメモリセルを各センスアンプに接続されているグループごとに分割して、このグループごとに置き換えを行ってもよい。そして、置き換えられた不良セルへのアクセスが行われた場合には、プログラムヒューズによりプログラムされた不良アドレスと外部から入力される外部アドレスとを比較した結果生成される検出信号（ヒット信号）に応じてスペアメモリセルのアクセスを行う。

【0063】このとき、本発明の第3の実施の形態に係る半導体記憶装置のカラムセル部の構成においては、上述のように、スペアセル部の各I/O部0～8-SPRは、それぞれが接続されるデータ入出力回路40の近傍に分散して配設され、かつ、第1系及び第2系のデータ入出力回路40、41に直接接続されているので、負荷容量の大きいグローバル・データ線30を介したアクセスを必要とせず、また、センスアンプ20も2本のグローバル・データ線を駆動する必要がなくなるので、いずれのI/O部も高速に読み出すことができる。従って、スペアセル部の各I/O部0～8-SPRへのアクセス速度を、ノーマルセル部の各I/O部へのアクセス速度により近づけることができ、スペアセル部の各I/O部0～8-SPRへのアクセスが、ノーマルセル部の各I/O部へのアクセスに比較して遅延するということがなくなる。

【0064】また、スペアセル部の各I/O部0～8-SPRは、第1系及び第2系のデータ入出力回路40、41の双方にそれぞれ接続されているので、ノーマルセル部の各セクションS1～S16に発生した不良セルが第1系又は第2系のいずれに接続されているものであっても、未使用のスペアカラムセルのグループがある場合には、不良セルとスペアカラムセルとの置き換えを行うことができる。従って、スペアカラムセルを有効に利用することにより集積回路の面積効率を向上させることができ、一方の系に多数の不良セルが発生した場合であっても、未使用のスペアカラムセルがある限りセル置き換えによる救済を行うことにより、歩留まりを向上させることができる。

【0065】以上説明した第3の実施の形態においては、スペアセル部の各I/O部0～8-SPRは、第1

系及び第2系のデータ入出力回路40、41の双方にそれぞれ直接接続されているものとしたが、第1の実施の形態のように、第1系及び第2系のグローバル・データ線30、31を介して第1系及び第2系のデータ入出力回路40、41の双方にそれぞれ接続されているものとしてもよい。

【0066】尚、以上の各実施の形態においては、読出し側の構成について説明したが、書込み側についてもそれぞれ同様の構成とすることができ、この場合、グローバル・データ線は、読出し側と書込み側との兼用としてもよく、また、読出し側と書込み側とにそれぞれ設けてもよい。

【0067】

【発明の効果】本発明に係る半導体記憶装置によれば、スペアセル部のI/O部を1つのセクションに集合させて配設せず、各I/O部ごとに分割してそのI/O部が接続されるべきデータ入出力回路近傍に配設することとしたので、接続されているデータ入出力回路から距離隔ちていて長いデータバスを介するためにアクセスに遅延が生ずるI/O部の排除され、いずれのI/O部もデータ入出力回路に近く、高速にアクセスを行うことができるようになる。従って、スペアセル部の各I/O部へのアクセス速度を、ノーマルセル部の各I/O部へのアクセス速度に近づけることができ、スペアセル部の各I/O部へのアクセスが、ノーマルセル部の各I/O部へのアクセスに比較して特に遅延するということがなくなる。

【0068】スペアセル部の各I/O部は、データ入出力回路近傍に配設されているので、データ入出力回路に直接接続することもでき、この場合、スペアセル部の各I/O部へのアクセス速度をさらに高速化することができる。

【0069】また、DDR動作のために複数のデータ入出力系を有し、かつ、グローバル・データ線及びデータ入出力回路が、各データ入出力系にそれぞれ備えられている半導体記憶装置について本発明の構成を適用する場合、上記同様の効果が得られる。スペアセル部の各I/O部は、直接又は間接に結ぶデータ入出力系のデータ入出力回路にそれぞれ接続されているものとしたので、ノーマルセル部に発生した不良セルがいずれのデータ入出力系に接続されているものであっても、未使用のスペアカラムセルがある場合には、不良セルとスペアカラムセルとの置き換えを行うことができる。従って、スペアカラムセルを有効に利用することにより集積回路の面積効率を向上させることができ、一つのデータ入出力系に多数の不良セルが発生した場合であっても、未使用のスペアカラムセルがある限りセル置き換えによる救済を行うことにより、歩留まりを向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体記憶装

置のカラムセル部及びその読出し回路のブロック図。

【図2】本発明の第2の実施の形態に係る半導体記憶装置のカラムセル部及びその読出し回路のブロック図。

【図3】本発明の第3の実施の形態に係る半導体記憶装置のカラムセル部及びその読出し回路のブロック図。

【図4】従来の第1の構成に係る半導体記憶装置のカラムセル部及びその読出し回路のブロック図。

【図5】従来の第2の構成に係る半導体記憶装置のカ

ラムセル部及びその読出し回路のブロック図。

【図6】従来の第3の構成に係る半導体記憶装置のカラムセル部及びその読出し回路のブロック図。

【符号の説明】

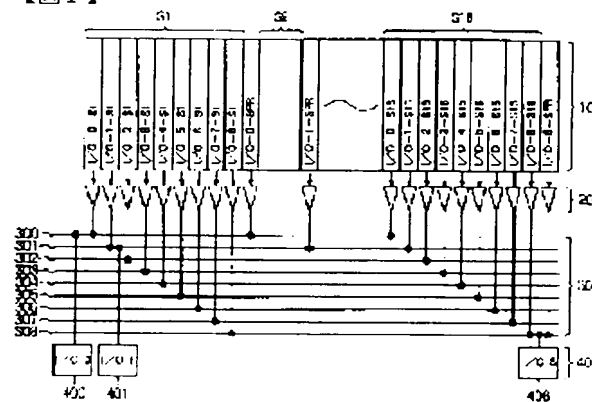
10 カラム1/0部

20 センスアンプ

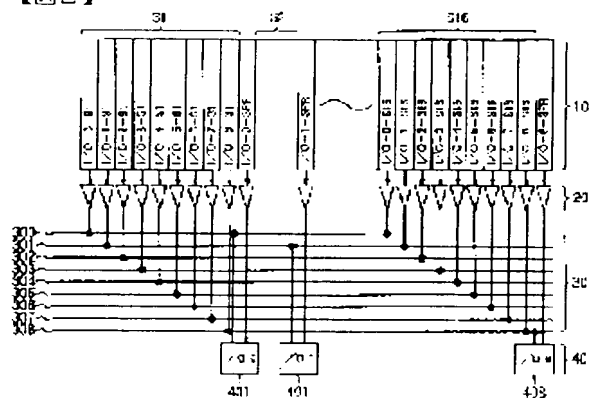
30, 31 グローバル・データ線

40, 41 データ入出力回路

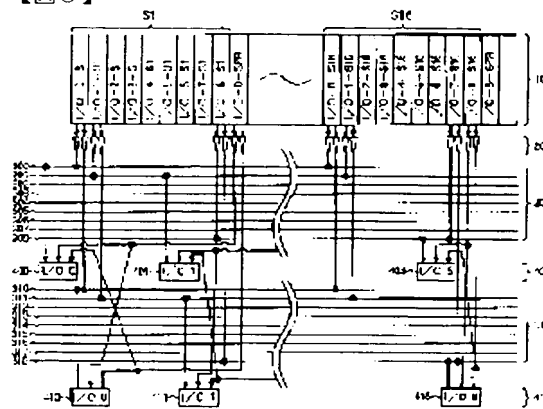
【図1】



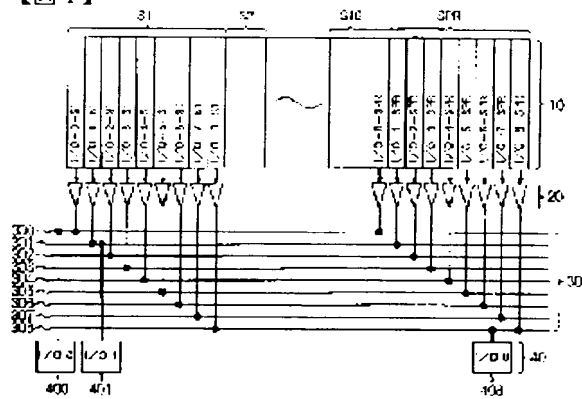
【図2】



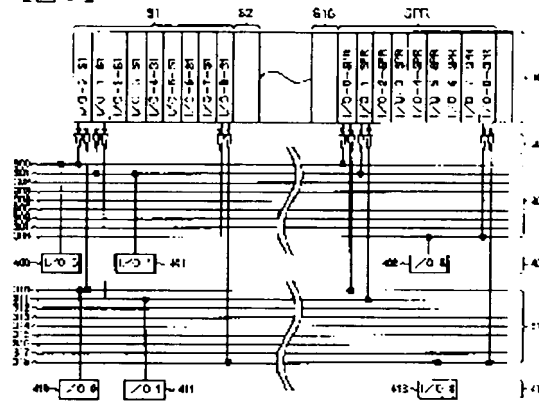
【 3】



【图4】



【図5】



【図6】

